PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-083697
(43)Date of publication of application : 02.04.1993

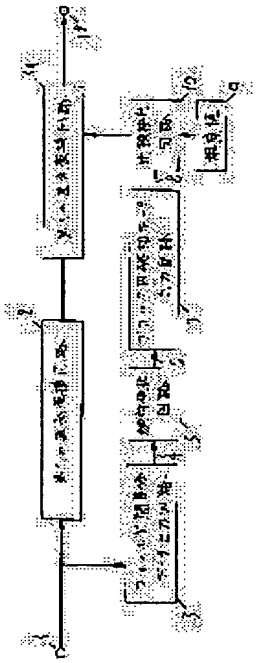
(51)Int.Cl. H04N 7/133
G06F 15/66
H03M 7/30

(21)Application number : 03-239433
(22)Date of filing : 19.09.1991

(71)Applicant : MATSUSHITA ELECTRIC IND CO LTD
(72)Inventor : HIDAKA IWAO
SHIGESATO TATSURO
HORIKANE HIROSHI
NISHINO SHOICHI

(54) ORTHOGONAL CONVERTER

(57)Abstract:
PURPOSE: To realize the orthogonal detection circuit without the rapid increase of the circuit scale by comparing the total data of the absolute-valued intra-block total data output circuit with the prescribed value and switching the orthogonal conversion method in the vertical direction.
CONSTITUTION: Data taking a reference signal as reference from a picture input signal terminal 1 is inputted to a first orthogonal conversion circuit 2, and the orthogonal conversion is performed in the horizontal direction. The data is inputted to an inter-field differential data output circuit 3 and the differential data between the odd-numberred and even-numberred fields is obtained to make it a cumulative addition output signal 4. It shall be an absolute value output signal 6 in an absolute value circuit 5. Then the total data is obtained in an intra-block total data output circuit 7, and the motion detection is performed by comparing a total data output value 8 with a prescribed value 9 in a comparison detection circuit 10. Performing whether the intra-frame or the inter-frame orthogonal conversion is switched by the control signal of the circuit 10, and the orthogonal conversion in the vertical direction is performed by the second orthogonal conversion circuit 11 to be outputted from a picture output signal terminal 12.



LEGAL STATUS

[Date of request for examination] 02.04.1997
[Date of sending the examiner's decision of rejection]
[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]
[Date of final disposal for application]

[Patent number]	2853399
[Date of registration]	20.11.1998
[Number of appeal against examiner's decision of rejection]	
[Date of requesting appeal against examiner's decision of rejection]	
[Date of extinction of right]	

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁（ＪＰ）　(12) **公開特許公報（Ａ）**　(11)特許出願公開番号

特開平5－83697

(43)公開日　平成５年(1993)４月２日

(51)Int.Cl.[5]	識別記号	庁内整理番号	ＦＩ	技術表示箇所
Ｈ０４Ｎ　7/133		Ｚ　4228－5Ｃ		
Ｇ０６Ｆ　15/66	３３０	Ｈ　8420－5Ｌ		
Ｈ０３Ｍ　7/30		Ａ　8836－5Ｊ		

審査請求　未請求　請求項の数１(全　７　頁)

(21)出願番号　特願平3－239433

(22)出願日　平成３年(1991)９月19日

(71)出願人　000005821
松下電器産業株式会社
大阪府門真市大字門真1006番地

(72)発明者　日高　巌
大阪府門真市大字門真1006番地　松下電器産業株式会社内

(72)発明者　重里　達郎
大阪府門真市大字門真1006番地　松下電器産業株式会社内

(72)発明者　堀金　宏
大阪府門真市大字門真1006番地　松下電器産業株式会社内

(74)代理人　弁理士　小鍛治　明　（外２名）

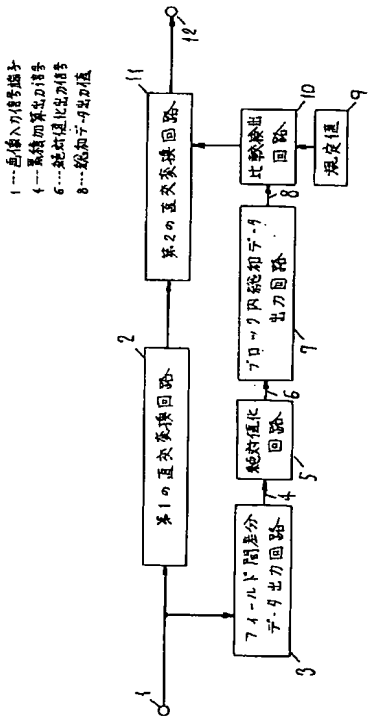
最終頁に続く

(54)【発明の名称】　直交変換装置

(57)【要約】

【目的】　圧縮率の向上を目的とし、回路規模を大幅に増加すること無しに実現することができる直交変換装置を提供することを目的とする。

【構成】　水平方向の第１の直交変換回路２と並行にフィールド間差分データを取り、動き検出を行なうことにより、フレーム内またはフィールド内の直交変換のどちらを行なうか切り替え、垂直方向に直交変換する第２の直交変換回路１１を備える。



1

【特許請求の範囲】

【請求項１】１フレーム単位の映像信号のブロック化信号を入力とし、前記ブロック化信号を水平方向に直交変換する第１の直交変換回路と、前記第１の直交変換回路と並行して、ブロック内で奇数フィールドと偶数フィールドとの差分データをとり、垂直方向の累積加算値を出力するフィールド間差分データ出力回路と、前記フィールド間差分データ出力回路のデータを絶対値化する絶対値化回路と、前記絶対値化回路から出力されたデータをブロック内だけで総和をとるブロック内総和データ出力回路と、ブロック内総和データ出力回路の総和データと規定値と比較し、奇数フィールドと偶数フィールド間で動きが生じたかどうか検出する比較検出回路と、前記比較検出回路の制御信号でフレーム内またはフィールド内の直交変換を行なうかを切り替え、垂直方向に直交変換する第２の直交変換回路とを備えたことを特徴とする直交変換装置。

【発明の詳細な説明】

【０００１】

【産業上の利用分野】本発明は、圧縮率の向上を目的とし、画像信号をブロック単位でフィールド間差分をとり、画素の動きをブロック単位で検出する動き検出に使用して有効な直交変換装置に関するものである。

【０００２】

【従来の技術】従来の動き検出は、フレーム内直交変換またはフィールド内直交変換を行なった後、可変長符号を行ない各々のデータ量を検出し圧縮率が大きい方を選択するという直交変換装置で行なっていた。

【０００３】図３は信号の並び図を示し、図４は従来の直交変換装置のブロック図を示している。

【０００４】図３は画像入力信号端子より入力される映像信号の１ブロック分のブロック化信号を示しており、図中のｘｉｊはブロック化信号の各画素を表し、添え字ｉ（＝１‥８）は垂直方向の位置を示し、画面上から画面下へ連続している。またｊ（＝１‥８）は水平方向の位置を示し、画面左から画面右へ連続している。

【０００５】図４において、２１は映像信号が図３のようにブロック化されて本直交変換装置に入力される入力信号端子、２２はフレーム内の直交変換を行なう第１の直交変換回路、２３はフィールド内の直交変換を行なう第２の直交変換回路、２４は第１の直交変換回路２２のデータを高能率符号化する第１の可変長符号化回路、２５は第２の直交変換回路２３のデータを高能率符号化する第２の可変長符号化回路、２６は第１の可変長符号化回路２４のデータと第２の可変長符号化回路２５のデータから圧縮率が大きい方を検出する圧縮率検出回路、２７は第１の可変長符号化回路２４のデータを圧縮率検出回路２６の処理時間分遅延させる第１の遅延回路、２８は第２の可変長符号化回路２５のデータを圧縮率検出回路２６の処理時間分遅延させる第２の遅延回路、２９は

2

第１の遅延回路２７のデータと第２の遅延回路２８のデータを圧縮率検出回路２６からの制御信号で切り替えるデータ切り替え回路、３０はデータ切り替え回路２９の信号を出力する画像信号出力端子である。

【０００６】以上のように構成された直交変換装置について、以下その動作について図３及び図４を用いて説明する。まず、入力信号端子２１から図３のブロック化された映像信号が第１の直交変換回路２２と第２の直交変換回路２３に入力される。入力された信号は第１の直交変換回路２２では、フレーム単位の水平方向８次直交変換かつ垂直方向８次直交変換の８×８次の２次元直交変換を行ない、また第２直交変換回路２３では、フィールド単位に和と差を取りそれぞれに対しての４次直交変換の８×４×２次の２次元直交変換を行なう。次に、第１の直交変換回路２２の出力信号を第１の可変長符号化回路２４で高能率符号化を行ない、圧縮率検出回路の処理時間分遅延させる第１の遅延回路２７に入力する。また、第２の直交変換回路２３の出力信号を第２の可変長符号化回路２５で高能率符号化を行ない、圧縮率検出回路の処理時間分遅延させる第２の遅延回路２８に入力する。第１の可変長符号化器２４のデータと第２の可変長符号化器２５のデータから圧縮率検出回路２６で圧縮率が大きい方を検出し、データ切り替え回路２９で第１の遅延回路２７のデータと第２の遅延回路２８のデータを切り替えて、画像信号出力端子３０から出力している。

【０００７】

【発明が解決しようとする課題】しかしながら、従来の直交変換装置においては、フレーム内直交変換またはフィールド内直交変換を行なった後、可変長符号を行ない各々のデータ量を検出し圧縮率が大きい方を選択するという構成のために、回路規模が大きくなってしまうという課題を有していた。

【０００８】本発明はかかる点に鑑み、直交変換回路の多大な回路増加をしないで、フレーム内とフィールド内の直交変換の切り替えを行なう動き検出回路を導入した直交変換装置を提供する。

【０００９】

【課題を解決するための手段】本発明は、１フレーム単位の映像信号のブロック化信号を入力とし、ブロック化信号を水平方向に直交変換する第１の直交変換回路と、第１の直交変換回路と並行して、ブロック内で奇数フィールドと偶数フィールドとの差分データをとり、垂直方向の累積加算値を出力するフィールド間差分データ出力回路と、フィールド間差分データ出力回路のデータを絶対値化する絶対値化回路と、絶対値化回路から出力されたデータをブロック内だけで総和をとるブロック内総和データ出力回路と、ブロック内総和データ出力回路の総和データと規定値と比較し、奇数フィールドと偶数フィールド間で動きが生じたかどうか検出する比較検出回路と、比較検出回路の制御信号でフレーム内またはフィー

ルド内の直交変換を行なうかを切り替え、直交方向に直交変換する第２の直交変換回路とを備えたことを特徴とする直交変換装置である。

【００１０】

【作用】本発明は前記した構成により、ブロック毎の動き検出を水平方向の直交変換と並行して行ない、その結果から垂直方向の直交変換をフレーム内とフィールド内の切り替えを行なう動き検出回路を導入する事により、回路規模を大幅に増加すること無しに実現することができる。

【００１１】

【実施例】以下、本発明の一実施例について図面を参照しながら説明する。

【００１２】図１は本発明の実施例における動き検出回路を導入した直交変換装置のブロック図、図２は動き検出回路のデータのタイミング図を示すものである。

【００１３】図１において、１は画像入力信号端子、２は画像入力信号端子１からの入力信号を水平方向に直交変換する第１の直交変換回路、３は画像入力信号端子１の入力信号から奇数フィールドのデータと偶数フィールドのデータとの差分データをとり、その垂直方向の累積加算を行なうフィールド間差分データ出力回路、４はフィールド間差分データ出力回路３からの累積加算された累積加算出力信号、５は累積加算入力信号４のデータを絶対値化する絶対値化回路、６は絶対値化回路５から出力された絶対値化出力信号、７は絶対値化出力信号６からブロック内の総和をとるブロック内総和データ出力回路、８はブロック内総和データ出力回路７からの総和データ出力値、９は動きがあるかどうかを判断する規定値、１０は総和データ出力値８と規定値９との比較を行ない、動きの検出を行なう比較検出回路、１１は比較検出回路１０の制御信号からフレーム内またはフィールド内の直交変換のどちらを行なうかを切り替え、垂直方向に直交変換する第２の直交変換回路、１２は画像出力信号端子である。

【００１４】また、図２において、（ａ）はブロックごとの基準信号、（ｂ）は基準信号（ａ）に対するデータで、かつフィールドおきに正，負（つまり、８×８のブロックの場合８データおきにデータを正，負にしている）にする処理をした信号、（ｃ）は８データ分シフトするデータ、（ｄ）は１ブロック前のデータで垂直方向に累積加算された累積加算出力信号、（ｅ）は累積加算出力信号（ｃ）を絶対値化した絶対値化出力信号、（ｆ）は絶対値化出力信号（ｃ）の総和を求めた総和データ出力値、（ｇ）は総和データ出力値（ｆ）と比較するための規定値ｎ、（ｈ）は総和データ出力値（ｆ）と規定値ｎ（ｇ）の比較した結果からフレーム内またはフィールド内の直交変換を行なうか切り替える為の信号である。以上の構成で図１と図２の対応する信号は、４と（ｄ）の累積加算出力信号、６と（ｅ）の絶対値化出力信号、８と（ｆ）の総和データ出力値、９の規定値の出力値と（ｇ）、１０の比較検出回路の出力値と（ｈ）である。

【００１５】以上のように構成された本発明の直交変換装置について、以下その動作を説明する。画像入力信号端子１から基準信号（ａ）を基準にしたデータを第１の直交変換回路２に入力し、水平方向の直交変換を行なう。またそれと並行してフィールド間差分データ出力回路３に基準信号（ａ）を基準にしたデータを入力することによって、奇数フィールドのデータと偶数フィールドのデータとの差分データを求め垂直方向に累積加算を行ない、垂直方向のデータを累積加算出力信号４として絶対値化回路５に出力する。絶対値化回路５では、累積加算出力信号４の各データを絶対値化し、絶対値化出力信号６としてブロック内総和データ出力回路７に出力する。ブロック内総和データ出力回路７では、絶対値化出力信号６の累積加算を行ない、ブロック内の総和データを求め、総和データ出力値８として比較検出回路１０に出力し、規定値９と比較して動きの検出を行ない、比較検出回路１０の制御信号（ｈ）でフレーム内またはフィールド内の直交変換のどちらを行なうかを切り替え、第２の直交変換回路１１で垂直方向に直交変換を行ない、画像出力信号端子１２から出力される。

【００１６】以上説明したように、本実施例によれば、水平方向の直交変換の演算と並行して動き検出を行ない、垂直方向の直交変換の方法をフレーム内またはフィールド内で切り替えることによって、回路規模を大幅に増加しないで実現することができ、その実用的効果は大きい。

【００１７】

【発明の効果】以上のように本発明は、１フレーム単位の映像信号のブロック化信号を入力とし、ブロック化信号を水平方向に直交変換する第１の直交変換回路と、第１の直交変換回路と並行して、ブロック内で奇数フィールドと偶数フィールドとの差分データをとり、垂直方向の累積加算値を出力するフィールド間差分データ出力回路と、フィールド間差分データ出力回路のデータを絶対値化する絶対値化回路と、絶対値化回路から出力されたデータをブロック内だけで総和をとるブロック内総和データ出力回路と、ブロック内総和データ出力回路の総和データと規定値と比較し、奇数フィールドと偶数フィールド間で動きが生じたかどうか検出する比較検出回路と、比較回路の制御信号でフレーム内またはフィールド内の直交変換を行なうか切り替え、垂直方向に直交変換する第２の直交変換回路とを設けることにより、水平方向の直交変換の演算と並行して動き検出を行ない、垂直方向の直交変換の方法をフレーム内またはフィールド内で切り替えることによって、回路規模を大幅に増加しない優れた動き検出回路を実現できるものである。

【図面の簡単な説明】

5

【図１】本発明の一実施例における直交変換装置のブロック図

【図２】本発明の一実施例における直交変換装置の動き検出回路のタイミング図

【図３】従来の画像入力信号の並び図

【図４】従来の直交変換装置のブロック図

【符号の説明】

１　画像入力信号端子

6

２　第１の直交変換回路

３　フィールド間差分データ出力回路

５　絶対値化回路

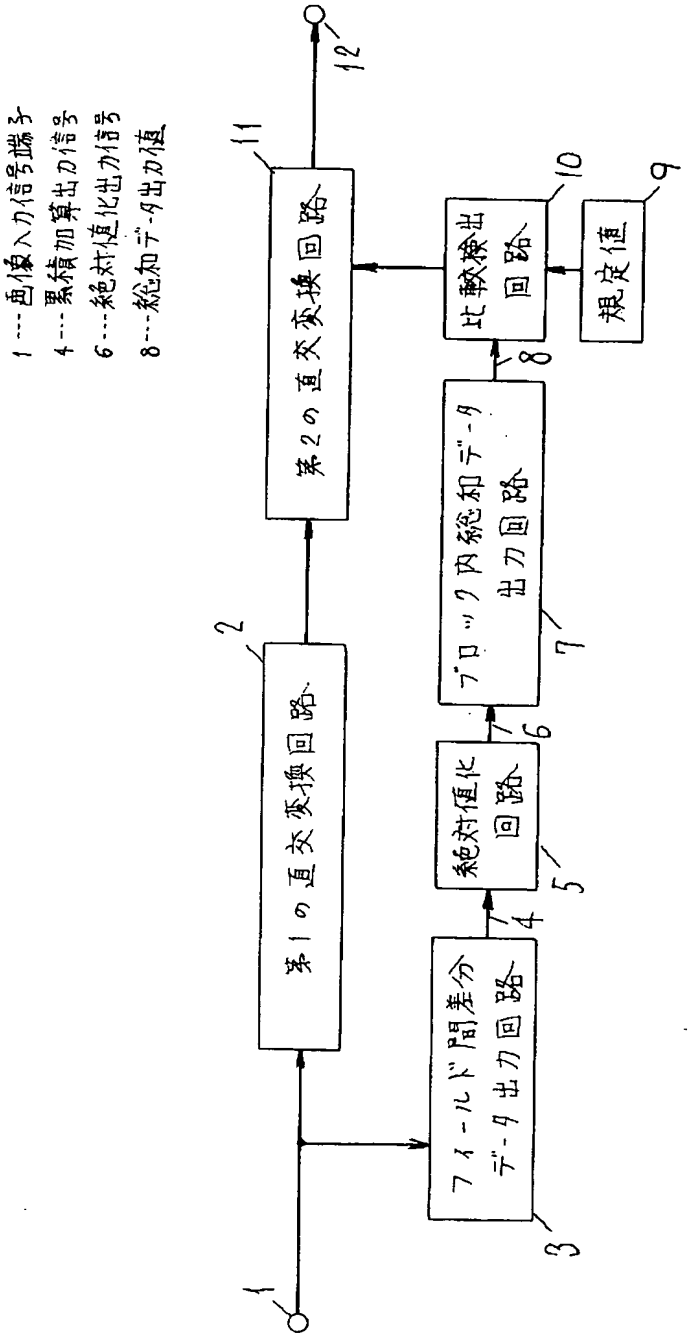
７　ブロック内総和データ出力回路

１０　比較検出回路

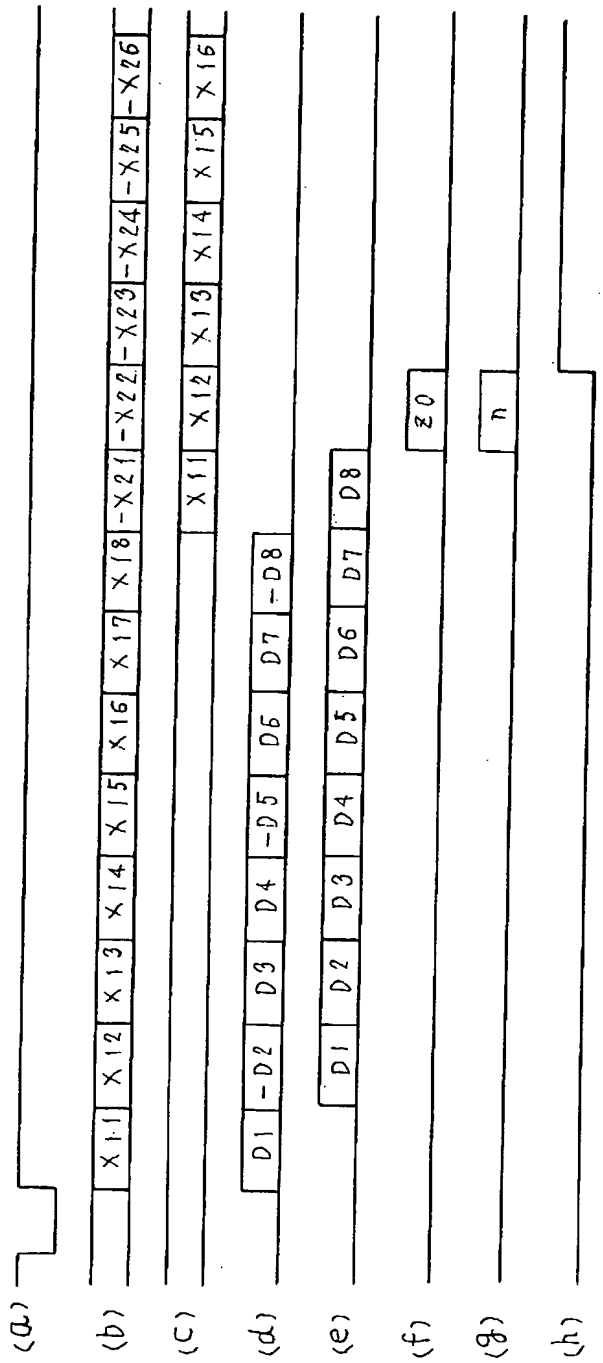
１１　第２の直交変換回路

１２　画像出力信号端子

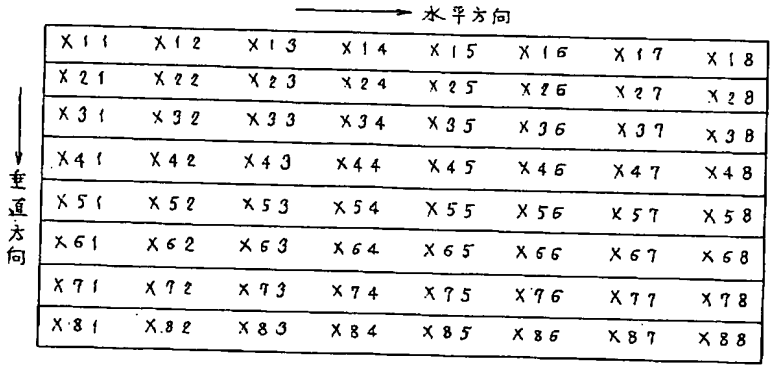
【図１】



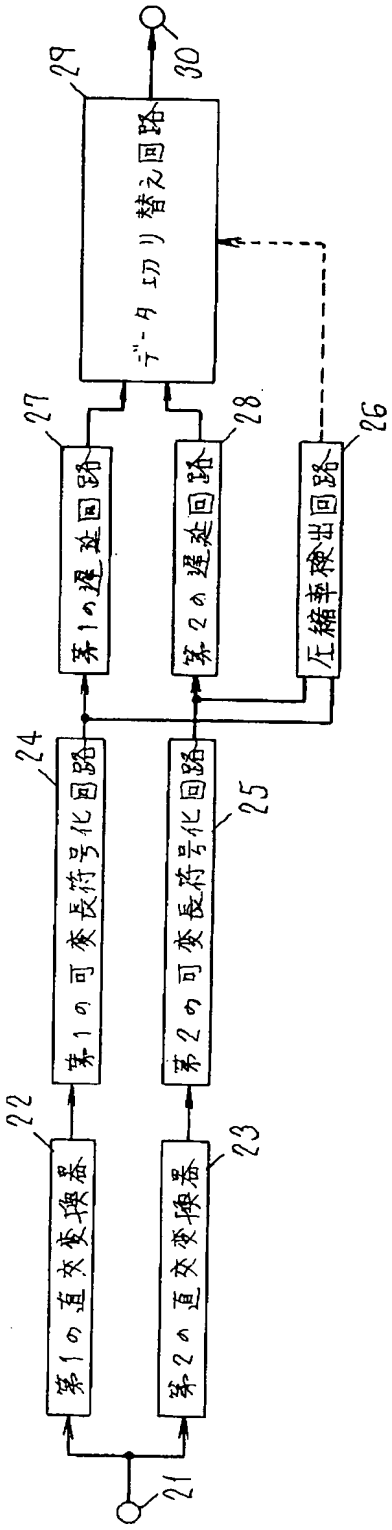
【図２】



【図３】


水平方向
垂直方向
X11 X12 X13 X14 X15 X16 X17 X18
X21 X22 X23 X24 X25 X26 X27 X28
X31 X32 X33 X34 X35 X36 X37 X38
X41 X42 X43 X44 X45 X46 X47 X48
X51 X52 X53 X54 X55 X56 X57 X58
X61 X62 X63 X64 X65 X66 X67 X68
X71 X72 X73 X74 X75 X76 X77 X78
X81 X82 X83 X84 X85 X86 X87 X88

【図４】


21
22
23
第１の直交変換器
第２の直交変換器
24
25
第１の可変長符号化回路
第２の可変長符号化回路
26
27
28
圧縮率検出回路
第１の遅延回路
第２の遅延回路
29
30
データ切り替え回路

フロントページの続き

(72)発明者　西野　正一
大阪府門真市大字門真1006番地　松下電器
産業株式会社内